

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

DIALOG(R) File 351:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

011347599 \*\*Image available\*\*

WPI Acc No: 1997-325504/199730

XRPX Acc No: N97-269639

Surface conduction-type electron-emitting component for e.g. flat panel display, field emission display - has electron-emitting film formed on side of three-layer structure formed by insulating layer, upper electrode and lower electrode, which emits electrons when energised

Patent Assignee: DAINIPPON PRINTING CO LTD (NIPQ )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9129121	A	19970516	JP 95306502	A	19951031	199730 B

Priority Applications (No Type Date): JP 95306502 A 19951031

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9129121	A	12	H01J-001/30	

Abstract (Basic): JP 9129121 A

The electron-emitting component (50) has a three-layer structure which includes an insulating layer (53) pinched between a lower electrode layer (52) and an upper electrode layer (54). The three-layer structure is arranged on a glass substrate (51).

An electron-emitting film (55) is formed on the side of the three-layer structure. The electron-emitting film emits electrons when energised.

ADVANTAGE - Ensures measurement accuracy due to adoption of vertical structure. Enables using component electrode as wiring, and simplifies structure and manufacturing process.

Dwg.3/19

Title Terms: SURFACE; CONDUCTING; TYPE; ELECTRON; EMIT; COMPONENT; FLAT; PANEL; DISPLAY; FIELD; EMIT; DISPLAY; ELECTRON; EMIT; FILM; FORMING; SIDE ; THREE; LAYER; STRUCTURE; FORMING; INSULATE; LAYER; UPPER; ELECTRODE; LOWER; ELECTRODE; EMIT; ELECTRON; ENERGISE

Derwent Class: V05; X26

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01B3C; V05-D01C5; V05-L01A3; X26-A03C

**THIS PAGE BLANK (USPTO)**

特開平9-129121

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	1/30		H 0 1 J	B
	9/02			B

審査請求 未請求 請求項の数8 F D (全 12 頁)

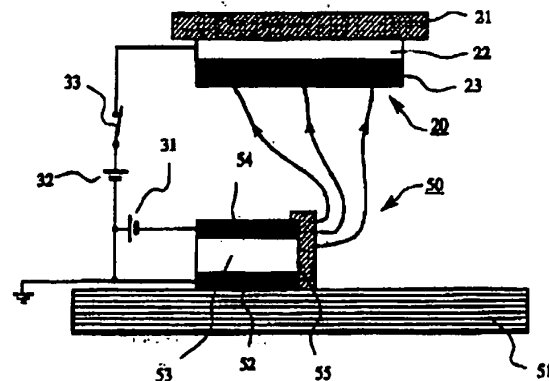
(21) 出願番号	特願平7-308502	(71) 出願人	000002897 大日本印刷株式会社 東京都新宿区市谷加賀町一丁目1番1号
(22) 出願日	平成7年(1995)10月31日	(72) 発明者	細谷 守男 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
		(74) 代理人	弁理士 志村 浩

(54) 【発明の名称】 電子放出素子およびその製造方法

(57) 【要約】

【課題】 フラットパネルディスプレイへの利用に適するように、構造を単純化し、製造プロセスを簡単にする。

【解決手段】 ガラス基板51上に、下部電極層52と上部電極層54との間に絶縁層53を挟んでなる三層構造体を配置し、この三層構造体の側面部に、通電により電子放出を行う機能をもった電子放出膜55を形成する。電極52、54間に電界をかけると、電子放出膜55の表面から、表面場電型の電子放出が起こり、対向基板20へと飛翔する。製造時に、絶縁層53の膜厚を精度良く制御すれば、各素子ごとの絶縁層53の膜厚を均一化でき、電子放出膜55に与える電界強度を均一化できる。また、この素子をガラス基板51にマトリックス状に配置した場合、下部電極層52および上部電極層54をそのまま駆動用電極層として利用できる。



## 【特許請求の範囲】

【請求項1】 下部電極層と上部電極層との間に絶縁層を挟んでなる三層構造体を基板上に配置し、この三層構造体の側面部に、通孔により電子放出を行う機能をもった電子放出膜を形成したことを特徴とする電子放出素子。

【請求項2】 請求項1に記載の電子放出素子において、下部電極層の端面、絶縁層の端面、上部電極層の端面がそれぞれ揃うように、三層構造体の側面部が基板に対して所定角をなす平坦面を形成することを特徴とする電子放出素子。

【請求項3】 請求項1に記載の電子放出素子において、下部電極層の端面上面が露出し、かつ、絶縁層の端面上面が露出するように、三層構造体の側面部が三段階の階段状をなすことを特徴とする電子放出素子。

【請求項4】 請求項1に記載の電子放出素子において、下部電極層の端面上面が露出し、かつ、絶縁層の端面と上部電極層の端面とが揃うように、三層構造体の側面部が二段階の階段状をなすことを特徴とする電子放出素子。

【請求項5】 請求項1に記載の電子放出素子において、下部電極層の端面と絶縁層の端面とが揃い、かつ、絶縁層の端面上面が露出するように、三層構造体の側面部が二段階の階段状をなすことを特徴とする電子放出素子。

【請求項6】 請求項1～5のいずれかに記載の電子放出素子において、三層構造体の一部もしくは全部の層の電子放出膜を形成する端面が、基板に対して傾斜面をなすことを特徴とする電子放出素子。

【請求項7】 請求項1～6のいずれかに記載の電子放出素子において、列方向に伸びた下部電極層を行方向に複数配置するとともに、行方向に伸びた上部電極層を列方向に複数配置する、とにより、基板上に行列状に配置された複数の区画を形成し、下部電極層と上部電極層との交差部分において電極層間に絶縁層を挟んで三層構造体を構成し、各三層構造体の側面部に電子放出膜を形成し、各区画ごとに独立した電子放出膜を形成したことを特徴とする電子放出素子。

【請求項8】 請求項1～7のいずれかに記載の電子放出素子を製造する方法であって、絶縁性の基板上に第1の準備層を形成し、この第1の準備層をパターニングして下部電極層を形成する段階と、前記基板および前記下部電極層上に絶縁性の中間層を形成し、この中間層の上に第2の準備層を形成する段階と、前記第2の準備層をパターニングして上部電極層を形成する段階と、前記中間層をパターニングして絶縁層を形成する段階と、

前記下部電極層、前記絶縁層、前記上部電極層からなる

三層構造体の側面部に電子放出膜を形成する段階と、を有することを特徴とする電子放出素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電子放出素子に関する、特に、表面伝導型の電子放出素子に関する。

## 【0002】

【従来の技術】 フラットパネルディスプレイの一種として、FED (Field Emission Display) が精力的に研究されている。このFEDは、カソード基板とアノード基板とを対向させ、カソード基板上に多数の電子放出素子を配置し、この電子放出素子からアノード基板に向けて電子を放出させ、アノード基板上の蛍光体層を発光させるものである。カソード基板上に形成される電子放出素子は、個々の画素に対応することになる。これまで利用されている電子放出素子は、電子放出に適した鋭い突起構造を有するものが一般的であり、たとえば、先端部が尖った円錐状の金属からなる電子放出素子が広く利用されている。

【0003】 これに対して、近年、表面伝導型の電子放出素子が注目を浴びている。これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生じる現象を利用した電子放出素子である。このような電子放出現象は、1965年に「ラジオエンジニアリング エレクトロ フィジックス(Radio Eng. Electron. Phys.)第10巻、1290～1296頁」に、エム・アイ・エリンソン(M.I. Elinson)らによって報告されて以来、今日に至るまで種々の報告がなされている。具体的には、エリンソンらによって開発された $\text{SnO}_2$  (Sb) 薄膜をはじめ、Au薄膜、ITO薄膜、カーボン薄膜などで、この表面伝導型の電子放出現象が報告されている。

【0004】 また、最近では、特公平6-101297号公報に、微粒子を分散した面を挟持した絶縁層を用いて、この表面伝導型の電子放出素子を構成する技術が開示されており、特公平6-87392号公報には、微粒子を含む薄膜導電体膜に通電加熱を施すことにより、表面伝導型の電子放出機能をもった電子放出素子を製造する方法が開示されている。

## 【0005】

【発明が解決しようとする課題】 上述したように、表面伝導型の電子放出素子は、FEDなどのフラットパネルディスプレイへの利用が期待されている素子であり、このようなディスプレイへ応用する場合、基板上に多数の素子を行列状に配置し、各素子からの電子放出をそれぞれ独立して制御できるようにする必要がある。このように多数の電子放出素子を行列状に配置して駆動する場合に解決しなければならない第1の課題は、個々の素子の特性を均一化することである。すなわち、従来の表面伝導型の電子放出素子では、基板上に小面積の電子

放出膜が形成され、この電子放出膜の両側に電流供給用の電極が形成される。そして、この一対の電極間に存在する電子放出膜の膜面に電流が流れ、電子放出が起こることになる。したがって、両電極間の距離が各素子ごとにばらついていると、個々の素子ごとの特性が不均一になる。別言すれば、同じ電圧を印加しても、放出される電子の量が個々の素子ごとに異なることになる。このように、1枚のフラットパネルディスプレイを構成する電子放出素子の特性が均一であると、画面の表示状態にムラが生じ、もはや高品位のディスプレイは実現できなくなる。このため、個々の電子放出素子を構成する電極間隔には高い精度が要求される。しかしながら、このような高い位置精度を確保するためには、高度な位置合わせ技術が要求され、製造コストも高騰せざるを得ない。

【0006】ディスプレイへ応用するための第2の課題は、駆動に必要な配線をできるだけ単純化するということである。上述のように、行列状に配置された多数の電子放出素子をそれぞれ独立して制御するためには、基板上に縦横に巡った配線を施し、これら配線に対する電圧を制御することにより、個々の素子からの電子放出を制御できるようにしなければならない。ところが、従来の電子放出素子に対してこのような配線を施すためには、基板上にかなり複雑な立体配線層を形成する必要がある、製造プロセスはかなり複雑にならざるを得ない。このため、やはり製造コストの高騰を招くことになる。

【0007】そこで本発明は、同一基板上に多数を配列して用いるような場合にも、できるだけ全体構造を単純化し、製造プロセスを簡単にすることができる電子放出素子を提供することを目的とする。

【0008】

【課題を解決するための手段】

(1) 本発明の第1の態様は、電子放出素子において、下部電極層と上部電極層との間に絶縁層を挟んでなる三層構造体を基板上に配置し、この三層構造体の側面部に、通電により電子放出を行う機能をもった電子放出膜を形成するようにしたものである。

【0009】(2) 本発明の第2の態様は、上述の第1の態様に係る電子放出素子において、下部電極層の端面、絶縁層の端面、上部電極層の端面がそれぞれ揃うように、三層構造体の側面部が基板に対して所定角をなす平坦面を形成するようにしたものである。

【0010】(3) 本発明の第3の態様は、上述の第1の態様に係る電子放出素子において、下部電極層の端面上面が露出し、かつ、絶縁層の端面上面が露出するように、三層構造体の側面部が三段階の階段状をなすようにしたものである。

【0011】(4) 本発明の第4の態様は、上述の第1の態様に係る電子放出素子において、下部電極層の端面上面が露出し、かつ、絶縁層の端面と上部電極層の端面とが揃うように、三層構造体の側面部が二段階の階段状

をなすようにしたものである。

【0012】(5) 本発明の第5の態様は、上述の第1の態様に係る電子放出素子において、下部電極層の端面と絶縁層の端面とが揃い、かつ、絶縁層の端面上面が露出するように、三層構造体の側面部が二段階の階段状をなすようにしたものである。

【0013】(6) 本発明の第6の態様は、上述の第1～第5の態様に係る電子放出素子において、三層構造体の一部もしくは全部の層の電子放出膜を形成する端面が、基板に対して傾斜面をなすようにしたものである。

【0014】(7) 本発明の第7の態様は、上述の第1～第6の態様に係る電子放出素子において、列方向に伸びた下部電極層を行方向に複数配置するとともに、行方向に伸びた上部電極層を列方向に複数配置することにより、基板上に行列状に配置された複数の区画を形成し、下部電極層と上部電極層との交差部分において両電極層間に絶縁層を挟んで三層構造体を構成し、各三層構造体の側面部に電子放出膜を形成し、各区画ごとに独立した電子放出膜を形成するようにしたものである。

【0015】(8) 本発明の第8の態様は、上述の第1～第7の態様に係る電子放出素子を製造する方法において、絶縁性の基板上に第1の準備層を形成し、この第1の準備層をパターニングして下部電極層を形成する段階と、基板および下部電極層上に絶縁性の中間層を形成し、この中間層の上に第2の準備層を形成する段階と、第2の準備層をパターニングして上部電極層を形成する段階と、中間層をパターニングして絶縁層を形成する段階と、下部電極層、絶縁層、上部電極層からなる三層構造体の側面部に電子放出膜を形成する段階と、を行うようにしたものである。

【0016】

【発明の実施の形態】以下、本発明を図示する実施形態に基づいて説明する。

【0017】§1. 従来の電子放出素子の構造および動作原理

はじめに、従来の一般的な表面伝導型の電子放出素子の構造および動作原理を説明しておく。図1は、従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。この例では、電子放出素子10は、ガラス基板11上に電極12、13を形成し、更にその上に電子放出膜14を形成することにより構成されている。電子放出膜14は、カソード電極として機能することになり、たとえば、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$ 、 $\text{PbO}$ などの金属酸化物、 $\text{Au}$ 、 $\text{Ag}$ などの金属、カーボンその他各種半導体など、表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。一方、対向基板20は、ガラス基板21上に透明電極22および蛍光体層23を形成したものである。透明電極22は、たとえばITOなどの材料で構成され、アノード電極として機能することになる。

5

【0018】図2は、図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図であり、この図における3切断線1-1による断面が図1に示されていることによる。電極12および13が所定間隔を置いて向き合っており、その間に電子放出膜14が形成されている状態が明瞭に示されている。

【0019】いま、図1に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、電極13は接地され、電極12には電源31から負の電圧が印加される。また、電子放出素子10と対向基板20との間には、電源32によってカソード/アノード間電圧が印加されるが、この図1に示す状態では、スイッチ33が閉じているため、電圧印加は行われていない。さて、電極12、13によって、電子放出膜14の両側に電圧が印加されると、電子放出膜14の膜表面部分に、図に矢印で示したような電子放出が起こる。これが、表面伝導型の電子放出として知られている現象である。

【0020】ここで、スイッチ33を閉じてカソード/アノード間電圧を印加すれば、図3に示すように、電子放出膜14の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでは、説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。なお、このようなフラットパネルディスプレイでは、スイッチ33を閉じた状態のままとし、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御するのが一般的である。より具体的に、電子放出膜14に与える印加電圧の値および印加時間調節することにより、対向基板20側への電子の飛翔量を制御することができる。

【0021】さて、このような電子放出素子10を利用したフラットパネルディスプレイを製作する上での技術的課題は、既に述べたように、個々の素子の特性均一化と駆動用配線の単純化とである。素子ごとの特性のばらつきは、主として寸法精度に依存する。図4は、この電子放出素子10の主要部分の寸法を示した図である。一般的なフラットパネルディスプレイの場合、ここに示す各部の寸法は、たとえば、 $D1=15\mu\text{m}$ 、 $D2=80\mu\text{m}$ 、 $D3=0.2\mu\text{m}$ 、 $D4=0.5\mu\text{m}$ といった程度の値になる（もちろん、これらの数値は一例として示したものであり、具体的な数値は個々のディスプレイによってそれぞれ異なる）。これらの寸法のうち、特に素子特性に影響を与える寸法は電極12、13間の間隔D1である。この間隔D1は、電子放出膜14に加わる電界強度を支配するものであり、間隔D1が変わると、電子の放出量も変わってくる。そこで、表示装

6

性が全面にわたって均一なディスプレイを実現するためには、ガラス基板11上に配列された個々の電子放出素子についての寸法D1を均一にする必要がある。このため、実際の製造プロセスにおいては、たとえば、 $D1=15\mu\text{m}\pm 2\mu\text{m}$ といった所定の寸法精度が要求されることになり、高精度なパターニングプロセスが必要になる。これは製造コストを高騰させる要因となり、実用化への大きな障害になる。特に、今後は、低電力駆動型のディスプレイの要望が益々高まってゆく傾向にあり、間隔D1の絶対値は益々小さく設定せざるを得なくなり、より高い寸法精度が要求されるようになると予想される。

【0022】また、駆動用配線の単純化という課題も、従来構造の電子放出素子では、解決することが困難な課題である。図1および図3では、1画素分の電子放出素子についての配線を示したが、ディスプレイに利用する場合には、ガラス基板11上に縦横に配列された多数の電子放出素子のそれぞれに対して独立した配線を施し、各電子放出素子ごとに、電子放出膜14への印加電圧を独立して制御できるようにしなければならない。ガラス基板11にこのような配線を施すには、数多くのパターニングプロセスが必要となり、製造工程は複雑化せざるを得ない。これも製造コストを高騰させる要因のひとつであり、実用化への障害となる。

【0023】§2. 本発明の電子放出素子の構造および動作原理

従来の構造では、電子放出膜14はガラス基板11に平行な膜として形成されている。これは「基板上に薄膜を形成する」という要望に応えるためのごく一般的な方法である。これに対し、本発明の構造の特徴は、電子放出膜14をガラス基板11に対して所定角をもって形成する（たとえば、垂直に形成する）という点にある。

【0024】いま、基板（図5では、図示省略）上に、図5(a)の斜視図に示すような三層構造体を用意する。この三層構造体は、下部電極層52と上部電極層54との間に絶縁層53を挟んでなる構造体であり、いわゆる「サンドイッチ構造」をしている。このような三層構造体を用意してから、その側面部に通電により電子放出を行う機能をもった電子放出膜55を形成すれば、図5(b)の斜視図に示すような構造が得られる。このような構造体は、電子放出素子50として機能することになる。すなわち、図3に示す従来の電子放出素子10と比較すれば、下部電極層52が電極13としての機能を果たし、上部電極層54が電極12としての機能を果たし、電子放出膜55が電子放出膜14としての機能を果たすことになる。また、絶縁層53は、電極12と電極13との間の間隔精度を保つためのスペーサとしての役割を果たしている。

【0025】なお、本願図面では、斜視図においても、各構成要素に必要に応じてハッチングを施して示す。



にする。このハッチングは断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。

【0026】いま、このような構造をもった電子放出素子50について、図6に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、下部電極層52は接地され、上部電極層54には電源31から負の電圧が印加される。また、電子放出素子50と対向基板20との間にも、電源32によってカソード/アノード間電圧が印加されるが、この図6に示す状態では、スイッチ33が開いているため、電圧印加は行われていない。さて、下部電極層52および上部電極層54によって、電子放出膜55の両側に電圧が印加されると、電子放出膜55の膜表面部分に、図に矢印で示したような電子放出が起こる。すなわち、表面伝導型の電子放出現象が起こることになる。

【0027】ここで、スイッチ33を閉じてカソード/アノード間電圧を印加すれば、図7に示すように、電子放出膜55の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでも説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリクス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。実際には、従来の電子放出素子を用いたフラットパネルディスプレイと同様に、スイッチ33を開いた状態のままで、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御することができる。

【0028】なお、ここに示す例では、図6に示すように、上部電極層54側に負電圧を印加することにより、電子放出膜55の表面では、上方から下方へ向かう電子の流れが形成されるようにしているが、逆に、下部電極層52側に負電圧を印加することにより、電子放出膜55の表面において、下方から上方へ向かう電子の流れが形成されるようにして、対向基板20側への電子放出は支障なく行われる。したがって、下部電極層52と上部電極層54との間の印加電圧の極性はどちらでもかまわない。

【0029】図8は、この電子放出素子50の主要部分の寸法を示した図である。ここで、絶縁層53の厚みD1としては、実用上、 $D1=0.1\mu\text{m}\sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m}\sim 100\mu\text{m}$ 程度に設定するのがよい。また、下部電極層52および上部電極層54の厚みD2、D3としては、実用上、 $D2, D3=0.01\mu\text{m}\sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m}\sim 30\mu\text{m}$ 程度に設定するのがよい。三層構造体の幅D4は、電子放出の動作を考慮する上では任意でかまわないが、この二層構造体の幅は、電子放出素子の幅と等しい。

自体の寄生容量値を低く抑えて応答速度を向上させるためにはできるだけ小さくするのが好ましく、実用上は、 $D4=10\mu\text{m}\sim 100\mu\text{m}$ 程度にするのが好ましい。また、電子放出膜55の厚みD5としては、表面伝導型の電子放出現象が生じる厚みにする必要があり、効率的な電子放出を行わせるためには、できるだけ薄い方が望ましい。実用上は、 $D5=0.01\mu\text{m}\sim 1\mu\text{m}$ 程度に設定するのが好ましい。

【0030】さて、この図8に示す本発明の構造を、図4に示す従来の構造と比較すると、従来構造における電極12、13間の距離である寸法D1は、本発明における絶縁層53の厚みである寸法D1に対応することがわかる。すなわち、いずれの寸法D1も、電子放出膜に電界を与えるための一對の電極間距離に対応するものであり、この寸法D1によって、電子放出膜に与えられる電界強度が決定されることになる。そして、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板上に配列された個々の電子放出素子についての寸法D1を均一にする必要があるということは、既に述べたとおりである。ここで、寸法D1の精度に着目すると、図4に示す従来構造においては、基板面に平行な平面方向の精度であるのに対し、図8に示す本発明の構造においては、基板面に垂直な厚み方向の精度であることがわかる。すなわち、図4に示す従来構造を「横型構造」と呼び、図8に示す本発明の構造を「縦型構造」と呼ぶことにすれば、「横型構造」の場合、寸法D1の精度を平面方向の精度として確保する必要があるのに対し、「縦型構造」の場合、寸法D1の精度を厚み方向の精度として確保すればよいということになる。

【0031】一般に、半導体プレーナプロセスなど、基板上に層形成を行う製造プロセスでは、平面方向の寸法精度を確保するよりも、厚み方向の寸法精度を確保する方が容易である。別言すれば、図4に示すように、正確な所定間隔D1をもった電極12、13を形成する工程と、正確な所定厚みD1をもった絶縁層53を形成する工程とを比較すると、寸法値D1が同じ場合、前者よりも後者の方が工程は容易になる。特に、近年では、基板上の成膜技術は非常に進歩しており、厚みに関しては、かなりの精度で制御することが可能である。したがって、本発明の構造をもった電子放出素子は、従来構造の電子放出素子に比べて、製造プロセスが容易になり、製造コストを低減させるというメリットが得られる。

【0032】§3. 本発明の電子放出素子の別な実施形態

図5(a)、(b)に示した三層構造体では、下部電極層52の端面、絶縁層53の端面、上部電極層54の端面がそれぞれ揃っており、三層構造体の側面部が基板に対してほぼ垂直な平坦面を形成している。そして、この平坦面に電子放出膜55が形成されており、電子放出膜55の端面は基板に対してほぼ垂直な状態になっている。

【0033】これに対して、図9に別な実施形態を示す。この実施形態では、まず、図示されていない基板上に、図9(a)に示すような三層構造体を用意する。この三層構造体では、下部電極層62の端部上面が露出し、かつ、絶縁層63の端部上面が露出するように、三層構造体の側面部が三段階の階段状をなしている。このような三層構造体の側面部に、図9(b)に示すように、電子放出膜65を形成する。このような構造をもった電子放出素子60では、電子放出膜65は、三層構造体の端部の階段に沿った形状で形成されることになるが、下部電極層62と上部電極層64との間の電界に基づいて、表面導電型の電子放出現象が生じる点では、前述の実施形態に係る電子放出素子50と同じである。

【0034】図10(a)は、また別な実施形態に係る電子放出素子70の斜視図である。この電子放出素子70は、下部電極層72の端部上面が露出し、かつ、絶縁層73の端面と上部電極層74の端面とが揃うように、側面部が二段階の階段状となす三層構造体を用意し、この三層構造体の側面部に電子放出膜75を形成したものである。一方、図10(b)は、更に別な実施形態に係る電子放出素子80の斜視図である。この電子放出素子80では、下部電極層82の端面と絶縁層83の端面とが揃い、かつ、絶縁層83の端部上面が露出するように上部電極層84が形成されており、三層構造体の側面部が二段階の階段状をなしており、この側面部に電子放出膜85が形成されている。

【0035】図10(c)～(e)は、更に別な実施形態に係る電子放出素子70の断面図である。図10(c)は図9(b)に示す素子60の変形例、図10(d)は図10(a)に示す素子70の変形例、図10(e)は図10(b)に示す素子80の変形例である。これらの各変形例では、各層の端面が基板に対して傾斜面をなしている。

【0036】このように、三層構造体の側面部は、必ずしも平坦面にする必要はなく、階段状にしてもかまわない。また、各層の端面が基板に対して必ずしも垂直にする必要はなく、傾斜面にしてもかまわない。ただ、下部電極層と上部電極層とを間隔を、これらに挟持された絶縁層の厚みにより確定させて高い寸法精度を確保するという目的を達成する上では、図5に示した実施形態が最も好ましい。

【0037】§4. ディスプレイへ応用する実施形態  
これまで、単一の電子放出素子についての構造を述べてきたが、本発明の電子放出素子は、フラットパネルディスプレイへの応用に特に適している。この場合、基板上に多数の電子放出素子を縦横に配置して用いることになる。以下、このような配置形態について述べることにする。

【0038】図11は、ガラス基板100上に4つの電子放出素子200を形成した状態を示す斜視図である。ディスプレイへ応用する場合には、1つの電子放出素子が1

画素分の表示動作を行うことになるので、この図11に示す例では、 $2 \times 2$ の合計4画素分の表示が可能になる。もちろん、実際のディスプレイでは、より多数の電子放出素子が配列されることになる。なお、図11の斜視図において、各構成要素に施されているハッチングは、前述したように、断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。この図11に示す電子放出素子の構造は次のとおりである。

【0039】まず、ガラス基板100上に、列方向に伸びた下部電極層110を行方向に複数（この例では2本）配置する。一方、行方向に伸びた上部電極層130を列方向に複数（この例では2本）配置する。このように列方向に伸びた下部電極層110と行方向に伸びた上部電極層130とにより、ガラス基板100上に行列状に配置された複数の区画が形成されることになる（各電極層を基盤の黒線とすれば、この黒線で囲まれた各々が1つの区画を形成する）。ここで、下部電極層110と上部電極層130との交差部分では、両電極層間に絶縁層120が形成されている。すなわち、各交差部分には、下部電極層110、絶縁層120、上部電極層130という三層構造体が構成されていることになる。そして、各三層構造体の側面部には、それぞれ電子放出膜140が形成されており、個々の電子放出膜140は、各区画ごとにそれぞれ独立している。

【0040】このような構成によれば、各区画ごとにそれぞれ独立した電子放出素子200が形成できる。なお、この図11に示す構造は、三層構造体の側面部が平坦面となっているものであるが、§3で述べたように、この側面部を階段状にしてもかまわないし、傾斜面にしてもかまわない。

【0041】さて、ここで重要な点は、下部電極層110および上部電極層130は、それぞれガラス基板100上で縦横に伸びた配線層としても機能しう点である。前述したように、ディスプレイとして利用するためには、マトリクス状に配列された個々の電子放出素子に対して、それぞれ別個に電子放出を制御できるような配線が必要になる。従来の「横型構造」の電子放出素子の場合、このような配線のための層を別途用意する必要があるため、基板上の構造は非常に複雑になる。これに対して、本発明の「縦型構造」の電子放出素子の場合、下部電極層110および上部電極層130が配線の機能を果たすため、別途配線層を設ける必要はない。すなわち、本発明に係る電子放出素子によれば、駆動に必要な配線を単純化するという課題が達成できることになる。

【0042】図12は、本発明に係る電子放出素子の駆動原理を説明するための図である（ハッチングは、図11の各構成要素との対応を示すためのものである）。ここでは、5行5列、合計25個の電子放出素子200が形成された例が示されている。すなわち、列方向に伸びた

た下部電極層110の方向に5本配置されており、また、行方向に伸びた上部電極層130が列方向に5本配置されており、25個の区画が形成されている。各区画には、それぞれ個別の電子放出素子200が形成されており、各電子放出素子200からの電子放出は、それぞれ独立して制御することができる。

【0043】このような制御を行うために、セレクト150およびドライバ160が設けられている。セレクト150は、5本の下部電極層110のうちのいずれか1本を選択して接地する機能を果たす。一方、ドライバ160は、5本の上部電極層130のそれぞれに、所定の電圧信号を与える機能を有する。セレクト150が、5本の下部電極層110と順番に選択する動作を行えば、5本の列を時分割して順次アクセスすることが可能になる。そして、ドライバ160から供給する信号により、現在アクセス中の列に所属する電子放出素子200からの電子放出が制御される。たとえば、図示のように、セレクト150が第1列目を選択して接地した状態において、ドライバ160から、第1行目の上部電極層130に対して負の電圧供給を行えば、第1行第1列目の電子放出素子については、図7に示す配線がなされたことになり、対向基板20へ電子放出が起こることになる。このような駆動方法は、いわゆる「単純マトリクス駆動」と呼ばれている方法である。

【0044】このように、本発明によれば、下部電極層110および上部電極層130をそのまま配線層として利用することができるため、ディスプレイに応用する場合にも構造は非常に単純になり、製造プロセスも単純化され、製造コストの低減を図ることができるようになる。

【0045】§5. ディスプレイへ応用する場合の製造工程

最後に、図11に示す構造を得るための製造工程の一例を、図13～図19に示す斜視図を参照しながら説明する。なお、これらの斜視図においても、図11に示す各構成要素との対応関係と明らかにするためのハッチングを施すことにする。

【0046】まず、図13に示すように、ガラス基板100（絶縁性の基板であれば何でもよい）上の全面に導電性をもった第1の準備層115を、真空蒸着法やスパッタ法など一般的な成膜方法を用いて形成する。続いて、この第1の準備層115をパターニングして、図14に示すように、下部電極層110を形成する。この第1の準備層115のパターニングには、一般的なフォトリソグラフィおよびエッチングの手法を用いればよい。もっとも、第1の準備層115としては、必ずしもその時点で導電性をもった層を用いる必要はない。たとえば、感光性をもった樹脂中に金属微粒子を分散させてなる金属粒子分散型レジスト（いわゆる金属ペースト）をガラス基板100の全面に塗布して感光性のペースト層を形

成し、このペースト層を第1の準備層115とし、フォトリソグラフィの手法により、このペースト層を露光後に現像してパターニングを行い、最後に焼成工程を行って、ペースト層内の樹脂成分を除去すれば、導電性をもった下部電極層110を得ることができる。なお、感光性のペースト層は、感光性をもった樹脂と有機金属との混合からなる有機金属混合レジストにより形成してもよい。

【0047】続いて、ガラス基板100および下部電極層110上の全面に、図15に示すように、絶縁性の中間層125を形成する。更に、図16に示すように、この中間層125上に、第2の準備層135を形成する。この第2の準備層135としては、第1の準備層115と同様に、導電性の層を用いてもよいし、上述した感光性のペースト層を用いてもよい。そして、第2の準備層135に対するパターニングを行い（一般的なフォトリソグラフィおよびエッチングの手法を用いればよい。ペースト層を用いた場合は更に焼成を行う）、図17に示すように、導電性をもった上部電極層130を形成する。

【0048】次に、中間層125に対するパターニングを行えば、図18に示すように、絶縁層120を形成することができる。こうして、下部電極層110、絶縁層120、上部電極層130からなる三層構造体が形成できる。そこで最後に、この三層構造体の側面部に電子放出膜140を形成すれば、図19に示すように、本発明に係る電子放出素子を得ることができる。この電子放出膜140を形成する工程としては、たとえば、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶剤を用意し、この溶剤を三層構造体の側面部に塗布乾燥させるような方法を採用することができる。

【0049】

【実施例】

<材質に関する実施例>図5に示す構造体の各部の材質としては、次のような材料を用いるのがよい。

【0050】下部電極層52および上部電極層54：電極として機能する導電性材料であれば、どのようなものでもよいが、耐電圧性、耐熱性、加工性、耐腐食性、比抵抗性を考慮して適当な材料を選ぶのが好ましい。具体的には、Al、Ni、Pd、Pb、Pt、W、Mo、Cr、Ti、Cu、Au、Agなどの金属材料を用いるのが好ましい。

【0051】絶縁層53：特に、表面伝導性の低い材料を用いるのが好ましく、具体的には、石英ガラス、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>などを用いるのが好ましい。

【0052】電子放出膜55：表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbOなどの金属酸化物、Au、Agなどの金属、カーボンその他各種半導体などが一般的に知られている材料である。この

他、たとえば、特公 6-87392号公報に開示されているように、微粒を含む薄膜導電体膜に通電加熱を行い、ジュール熱によりこの薄膜導電体膜を局部的に破壊、変形もしくは変位させて、電氣的に高抵抗な状態にすることにより、電子放出膜を形成することもできる。あるいは同公報に開示されているようなガスデポジション法により電子放出膜を形成してもよい。

【0053】<電子放出素子の製造方法に関する実施例>厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚3μmのCr層を堆積する(図13)。その上に、レジスト剤(東京応化工業株式会社製「ORM85」)をスピナーにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる。空冷後、所望のパターンを露光し、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、Crエッチング液(東京応化工業株式会社製「MR-DS」)を用いてCrを現像、水洗する。

【0054】次に、20°Cに保持したレジスト剥離液(東京応化工業株式会社製「クリーンストップ」)中に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。以上の工程で、下部電極層110のパターニングが完了する(図14)。

【0055】続いて、スパッタ法により、膜厚20μmのSiO<sub>2</sub>層を堆積(図15)、その上に、スパッタ法により、膜厚3μmのCr層を堆積する(図16)。その上に、レジスト剤(東京応化工業株式会社製「ORM85」)をスピナーにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる。空冷後、所望のパターンを露光し、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、Crエッチング液(東京応化工業株式会社製「MR-DS」)を用いてCrを現像、水洗する。

【0056】次に、20°Cに保持したレジスト剥離液(東京応化工業株式会社製「クリーンストップ」)中に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。以上の工程で、上部電極層130のパターニングが完了する(図17)。

【0057】続いて、この上に、レジスト剤(東京応化工業株式会社製「ORM85」)をスピナーにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる。空冷後、所望のパターンを露光し、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、室温に保った弗酸水溶液に10分間浸し、中間層125に対するパターニングを行う。

【0058】次に、120°Cに保持したレジスト剥離液(東京応化工業株式会社製「クリーンストップ」)中

に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。以上の工程で、絶縁層120のパターニングが完了する(図18)。

【0059】更に、有機パラジウム化合物を含む有機溶媒(奥野製薬工業株式会社製「キャタペーストCCP」)をスクリーン印刷法で所望の位置(三層構造体の側面部)に印刷し、15分間放置し、側面部に薄膜を形成する。その後、約200°Cで20分間焼成し、Pbからなる微粒子を含む電子放出膜140を得る(図19)。

【0060】<対向基板の製造方法に関する実施例>厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚1μmのITO層を堆積する。その上に、EB蒸着法により膜厚20μmのZnO:Znからなる蛍光体層を蒸着形成し、対向基板20を作製した。

【0061】<電子放出動作に関する実施例>10<sup>-10</sup>Paに保った真空チャンバ中に、上述の実施例で作製した電子放出素子と対向基板とを、3mmの間隔で平行に保持し、対向基板と電子放出素子との間のカソード/アノード電圧として5kVを印加した。また、電子放出素子の動作電圧として、上部電極層を接地電位に保ち、下部電極層に20Vを印加したところ、対向基板に向かって電子放出が得られ、良好な発光特性が得られた。また、行列状に配した多数の電子放出素子を、単純マトリックス駆動し、所定の画像情報に対応した信号を与えたところ、対向基板上に画像形成がみられた。

【0062】

【発明の効果】以上のとおり、本発明によれば縦型構造により電子放出素子を構成したため、寸法精度を確保しやすくなり、また、素子電極を配線としても利用することができるようになるので、同一基板上に多数を配列して用いるような場合にも、全体構造は単純化され、製造プロセスを簡単にすることができる。

【図面の簡単な説明】

【図1】従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。

【図2】図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図であり、この図における切断線1-1による断面が図1に示されている。

【図3】図1に示す電子放出素子10からの電子放出が行われている状態を示す断面図である。

【図4】図1に示す電子放出素子10の主要部分の寸法を示した図である。

【図5】本発明の一実施形態に係る電子放出素子50の構造を示す斜視図である。

【図6】図5に示す電子放出素子50に対する配線を示す断面図である。

15

【図7】図5に示す電子放出素子50からの電子放出が行われている状態を示す断面図である。

【図8】図5に示す電子放出素子50の主要部分の寸法を示した図である。

【図9】本発明の別な実施形態に係る電子放出素子60の構造を示す斜視図である。

【図10】本発明の更に別な実施形態に係る電子放出素子の構造を示す斜視図および断面図である。

【図11】ガラス基板100上に本発明の4つの電子放出素子を形成した状態を示す斜視図である。

【図12】本発明に係る電子放出素子の駆動原理を説明するための平面図である。

【図13】図11に示す構造を得るための製造工程の第1段階を示す斜視図である。

【図14】図11に示す構造を得るための製造工程の第2段階を示す斜視図である。

【図15】図11に示す構造を得るための製造工程の第3段階を示す斜視図である。

【図16】図11に示す構造を得るための製造工程の第4段階を示す斜視図である。

【図17】図11に示す構造を得るための製造工程の第5段階を示す斜視図である。

【図18】図11に示す構造を得るための製造工程の第6段階を示す斜視図である。

【図19】図11に示す構造を得るための製造工程の最終段階を示す斜視図である。

【符号の説明】

10…電子放出素子  
11…ガラス基板  
12…電極  
13…電極  
14…電子放出膜  
20…対向基板  
21…ガラス基板  
22…透明電極  
23…蛍光体層

31…電源  
32…電源  
33…スイッチ  
50…電子放出素子

51…ガラス基板

52…下部電極層

53…絶縁層

54…上部電極層

55…電子放出膜

10 60…電子放出素子

62…下部電極層

63…絶縁層

64…上部電極層

65…電子放出膜

70…電子放出素子

72…下部電極層

73…絶縁層

74…上部電極層

75…電子放出膜

20 80…電子放出素子

82…下部電極層

83…絶縁層

84…上部電極層

85…電子放出膜

100…ガラス基板

110…下部電極層

115…第1の準備層

120…絶縁層

125…中間層

30 130…上部電極層

135…第2の準備層

140…電子放出膜

150…セレクト

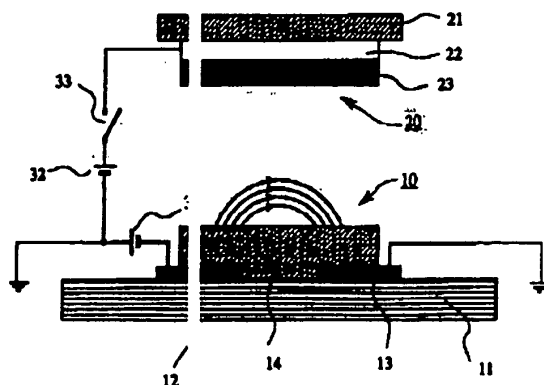
160…ドライバ

200…電子放出素子

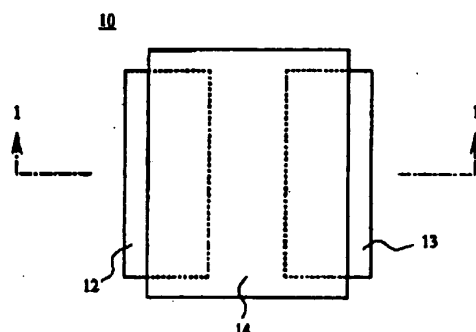
D1～D5…各部の寸法

16

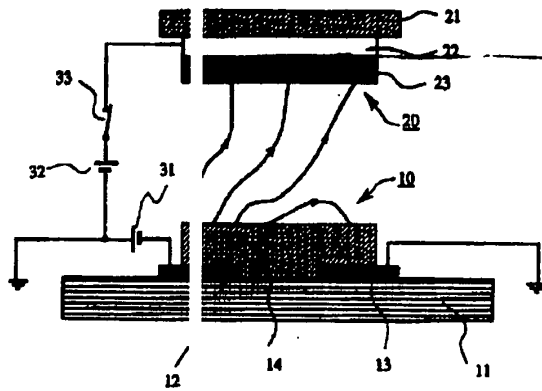
【図1】



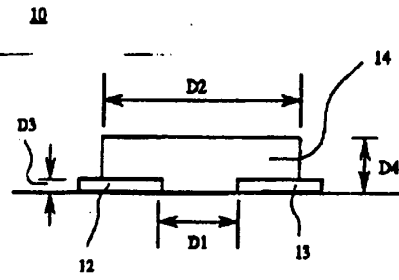
【図2】



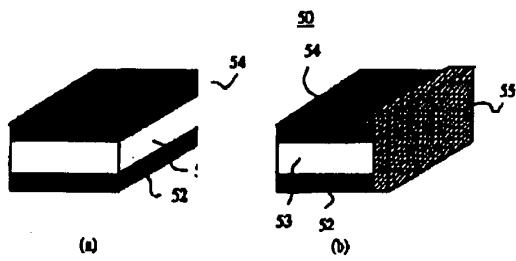
【図3】



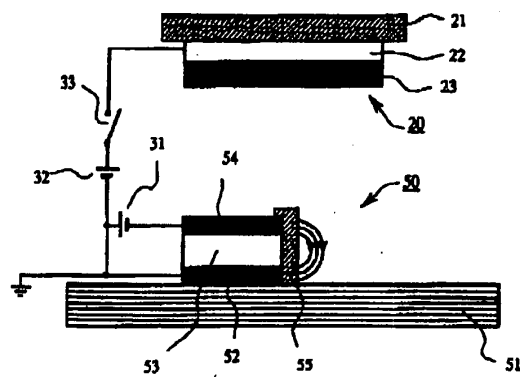
【図4】



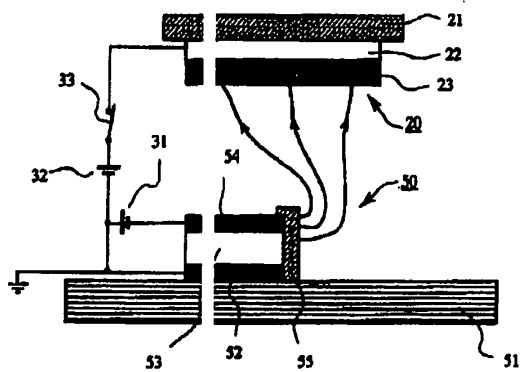
【図5】



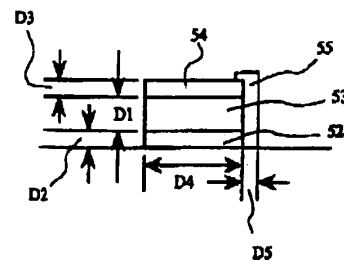
【図6】



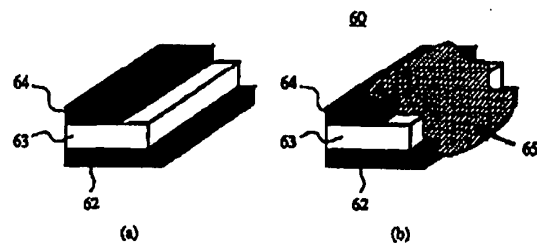
【図7】



【図8】



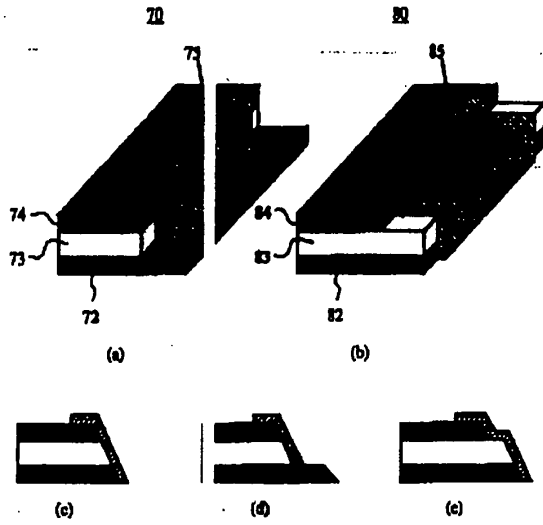
【図9】



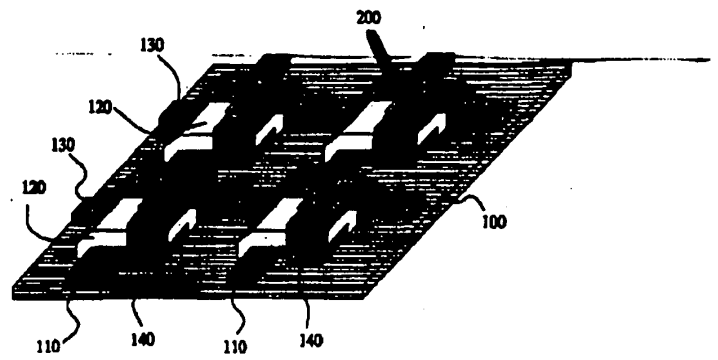
【図4】



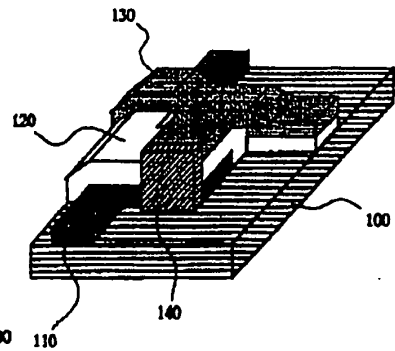
【図10】



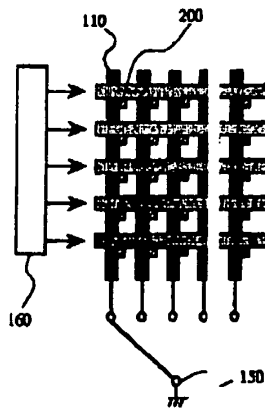
【図11】



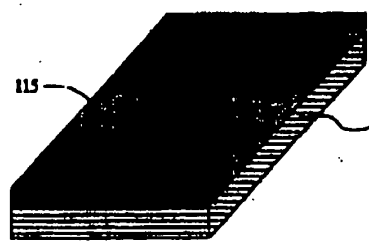
【図19】



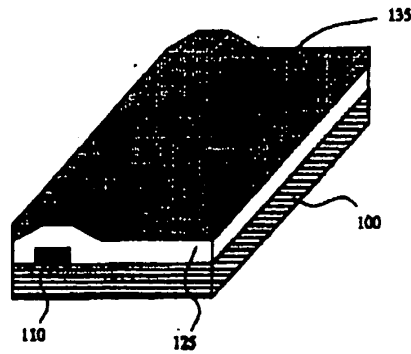
【図12】



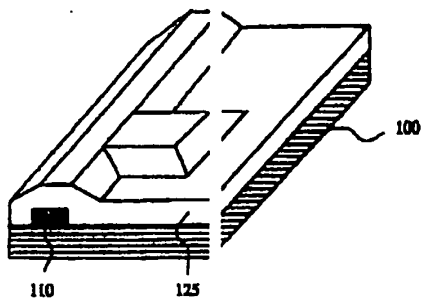
【図13】



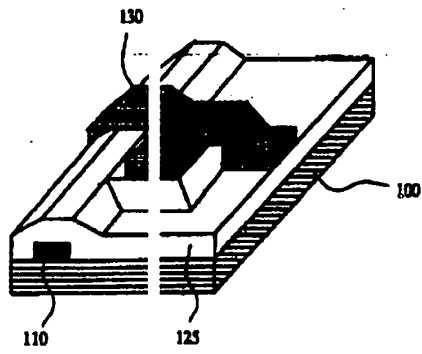
【図16】



【図 5】



【図17】



【図18】

